

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-120743

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)5月22日

H 01 L 21/82
27/04

D

7514-5F
8225-5F

H 01 L 21/82

L

審査請求 未請求 請求項の数 2 (全8頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-259132

⑰ 出 願 平1(1989)10月3日

⑱ 発 明 者 前 多 正 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
 ⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称 半導体装置

特許請求の範囲

(1) 配線チャネル領域を有するゲートアレイ型半導体装置において、給電を複数本の配線で行い、各電源配線を信号配線間に配置することを特徴とする半導体装置。

(2) 配線チャネル領域を有するゲートアレイ型半導体装置において、配線チャネル領域を最上層に配置することを特徴とする半導体装置。

発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置に関し、特に多層配線領域を有するゲートアレイ型回路の信号配線間カップリング容量を低減させ、カップリングノイズによる動作マージンの低下を防ぎ高速論理動作が可能となる半導体装置に関するものである。

(従来の技術)

GaAs半導体はSiに比べ、電子の移動度が数倍速く、更に半絶縁性基板を容易に得ることができるために、集積化を図る際に回路の寄生容量を低減でき、高速論理動作が可能との考えから各所で精力的な研究開発が行なわれてきている。GaAs半導体は一部市販が開始されているが、その品種は主としてSSIからMSIクラスであり、次期開発品種として1Kビットから4Kビットのメモリや数千ゲート規模のゲートアレイ型集積回路に期待が集まっている。特にゲートアレイはエンジニアリングサンプルが完成されるまでの期間を短くできることからユーザ側からの要望が高い。GaAs素子においてもゲートアレイの構成はSiと同様に第4図に示すように周辺に入出力バッファ2が配置され、チップの中央部にはセル1が規則正しく配置され配線チャネル3が格子状に走っている。

セルはゲートアレイの機能を作るための基本領域でありトランジスタまたはFET、抵抗などの基本素子から構成され、セル単独またはセルの集合によって有用な機能を持つブロックから形成され

る。通常、機能ブロック5は単純なゲートからマルチプレクサ、デコーダ、フリップフロップ、ALUの一部等複雑な機能のものまで各種用意されている。第5図には従来の基本セルを示す。ディプレーション型FET17のゲート電極とソース電極は短絡されエンハンスメント型FET18, 19のドレイン電極に接続され、ディプレーション型FET17のドレイン電極及びエンハンスメント型FET18, 19のソース電極はそれぞれ電源に接続されて2入力NOR回路を構成している。配線領域は電源配線の間にレイアウトされ平行に配線が走っている。電源配線12及び信号配線13は下層メタル、電源配線11及び信号配線14は上層メタルでレイアウトされている。
(発明が解決しようとする課題)

上述した従来のゲートアレイにおいては格子状に走る配線チャンネルだけに配線が限定されるためにゲート規模の増大に伴い、セル間を接続する配線長が長くなる。この場合、隣接信号線とのカップリング容量が増加するためにカップリングノイズによる動作マージンの低下を防ぐ目的で回路の

(3)

複数の配線で行い、各電源配線を信号配線間に配置することを特徴とする。

また、配線チャンネル領域を有するゲートアレイ型半導体装置において、配線チャンネル領域を最上層に配置することを特徴とする。

(作用)

複数本の電源配線を信号配線間に配置することにより、信号配線の電気力線の殆どは隣接して配置された電源配線へ向かうことで、電気力線がシールドされ、信号配線間のカップリング容量は減少する。一方、信号配線の全体の容量は分割した電源配線を信号配線と同一の配線ルールでレイアウトする限り殆ど変化しない。従って、配線遅延を劣化させることなくカップリングノイズを減少させることができる。

また、配線チャンネル領域を最上層に配置し、最上層配線保護用の絶縁膜堆積を行わないことにより、信号配線間は比誘電率が1である空気となる。このため絶縁膜として通常用いられるSiO₂(比誘電率3.9)を用いたに比較し信号配線間のカップリング

(5)

論理振幅を増加させる必要がある。さらにGaAs半導体では半絶縁性基板をもちいることで配線対地容量が小さい代わりに信号配線からの電気力線の殆どが隣接平行配線に向い、カップリング容量がSi半導体に比べ大きくなる欠点がある。

GaAs半導体の製造技術はSi半導体に比べ完成されていないために製造バラツキによる特性変動を見込んで論理振幅をSi半導体集積回路の約2倍程度に設定しており、このため配線駆動能力が低下している。これらの現状を考えると、カップリングノイズの低減がGaAs LSIの高速化を図る際に最も重要な課題の一つであると考えられる。

本発明の目的は、数千〜数万ゲートを有するGaAsゲートアレイにおいてもカップリングノイズを低減させた高速な集積回路を提供することにある。

(課題を解決するための手段)

本発明の半導体装置は、配線チャンネル領域を有するゲートアレイ型半導体装置において、給電を

(4)

容量は約1/2に減少する。さらに、配線対地容量を含めた全体の容量も半絶縁性基板(比誘電率13.1)上に堆積したSiO₂の効果で減少することになる。従って、配線駆動能力を向上させ、さらにカップリングノイズを減少させることができる。

(実施例)

第1図に請求項1記載のゲートアレイ型半導体装置のセルの実施例を示す。多層配線技術としては2層配線を例としている。ディプレーション型FET17のゲート電極とソース電極は短絡されエンハンスメント型FET18, 19のドレイン電極に接続され、ディプレーション型FET17のドレイン電極及びエンハンスメント型FET18, 19のソース電極はそれぞれ電源に接続されて2入力NOR回路を構成している。電源配線11, 12は分割され信号配線13, 14の間に交互にレイアウトされている。電源線の幅は以下の条件を満たすように設計する。一個のセルに流れる電流を i , X 及び Y 方向にレイアウトするセルの総数をそれぞれ N_x , N_y 、給電をチップの両方

(6)

向から行なうとすると、電源パッドから最遠端での電位降下 ΔV は

$$\Delta V_x = N_x(N_x + 1)iR_x/4 \dots\dots\dots (1)$$

$$\Delta V_y = N_y(N_y + 1)iR_y/4 \dots\dots\dots (2)$$

ここで、 R は1セルの X 及び Y 方向長分の電源線の抵抗値で電源配線のシート抵抗を r 、セルの長さをそれぞれ L_x, L_y とすると

$$R_x = r(L_x/W_x) \dots\dots\dots (3)$$

$$R_y = r(L_y/W_y) \dots\dots\dots (4)$$

(1)~(4)式から予想される電位降下が回路動作に許容される最大値 ΔV_{max} を越えない範囲で電源線幅を決定すべきである。

上記条件を満たす電源線幅を配線チャネル数 n_x, n_y で割り、チャネル数分の配線を並列にレイアウトすることで電源給電に関しては一本の電源線と同等の効果が期待できる。

$$W_{nx} = W_x/n_x \dots\dots\dots (5)$$

$$W_{ny} = W_y/n_y \dots\dots\dots (6)$$

給電を複数本の配線で行い、各電源配線を信号配線間にレイアウトすれば信号配線の電気力線の

(7)

ることができる。このシールド効果は配線ルールが小さい程効果的である。

第6図に請求項2記載のゲートアレイ型半導体装置のセルの実施例を示す。ディプレッション型FET17のゲート電極とソース電極は短絡されエンハンスメント型FET18, 19のドレイン電極に接続され、ディプレッション型FET17のドレイン電極及びエンハンスメント型FET18, 19のソース電極はそれぞれ電源に接続されて2入力NOR回路を構成している。多層配線技術としては2層配線を例にしている。配線領域は電源配線の間にレイアウトされ平行に配線が走っている。電源配線61は下層メタルでレイアウトされ電源配線62、信号配線63及び64は上層のメタルを用いている。信号配線63及び64が交差する領域のみは下層メタル20を用いてレイアウトされている。

第7図に二次元容量解析プログラムでシミュレーションした結果を示したが、最上層配線をもちいることで信号配線間のカップリング容量は配線ルールとして配線幅 $2\mu\text{m}$ 、配線間隔 $2\mu\text{m}$ の時、約

(9)

殆どを隣接した電源配線に終端させることになる。第2図に二次元容量解析プログラムでシミュレーションした結果を示したが、電源配線によるシールドで信号配線間のカップリング容量は約1/3に減少していることがわかる。シミュレーションにおける条件はGaAs基板厚 $350\mu\text{m}$ ($\epsilon_s=13.1$)上に厚さ $1.2\mu\text{m}$ の SiO_2 ($\epsilon_s=3.9$)を堆積させた上に $0.7\mu\text{m}$ の厚さの配線を作成しさらに SiO_2 を堆積させ平坦化技術により基板上 $2.4\mu\text{m}$ の SiO_2 厚にした構造を仮定した。第2図における配線ルールは配線幅 $2\mu\text{m}$ 、配線間隔 $3\mu\text{m}$ である。同様の構造を仮定したシミュレーションで配線間隔を変化させた場合の結果を第3図に示す。配線間隔を広くレイアウトしても隣接平行信号線とのカップリング容量はあまり変化していないことがわかる。従って、電源配線を電気力線シールドとしてもちいることで信号配線間のカップリング容量を低減させることが可能となり、しかも信号配線全体の容量としては隣接して信号線がある場合とほぼ同じであるために、高速性を犠牲にすることなく動作マージンを向上させ

(8)

1/2に減少し、配線対地容量を含めた全体の容量も40%減少することがわかる。シミュレーションにおける条件はGaAs基板厚 $350\mu\text{m}$ ($\epsilon_s=13.1$)上に厚さ $1.2\mu\text{m}$ の SiO_2 ($\epsilon_s=3.9$)を堆積させた上に $0.7\mu\text{m}$ の厚さの第一層配線を作成しさらに SiO_2 を堆積させ平坦化技術により基板上 $2.4\mu\text{m}$ の SiO_2 厚にし、次に、第二層配線を $0.7\mu\text{m}$ 厚で堆積させた構造を仮定した。このように最上層配線で信号配線をレイアウトし、さらに保護用の絶縁膜を堆積しないことで信号配線間のカップリング容量を低減させることが可能となり、しかも配線対地容量が配線容量全体に占める割合が小さいことからカップリング容量の低減化は駆動能力の向上につながり、高速論理動作が可能となる。しかもカップリングノイズを低減できることで歩留りの向上が期待出来る。この効果は配線ルールが小さい程効果的である。尚、上記実施例ではDCFL回路を例にとり述べたが他の回路についても同様の手段を用いることが可能である。

(発明の効果)

(10)

以上述べたように電源配線を電気力線シールドとしてもちいることで信号配線間のカップリング容量を低減させることが可能となり、また信号配線全体の容量としては隣接して信号線がある場合とほぼ同じであるために、高速性を犠牲にすることなく動作マージンを向上させることができる。動作マージンを一定とするならば論理振幅を小さく設計することが可能となり、結果的に高速論理動作が可能となる。しかも、電気力線のシールドとしてもちいるものは電源配線であるためにチップ上における無駄なスペースをそれほど必要としない。実施例でも述べたが電源配線によるシールドと同等の効果を得るためには配線間隔を非常に大きく設定する必要があり、チップサイズを考えた場合、本発明が有効である。

また、信号配線を最上層でレイアウトし、保護用の絶縁膜を堆積しないことで信号配線間のカップリング容量を低減させることが可能となり、また信号配線全体の容量としても低減化が可能であることから、高速論理動作が可能となり、しかも

(11)

18, 19...エンハンスメント型FET

代理人 弁理士 内原 晋

カップリングノイズを減少させることで動作マージンを向上させ、高い歩留りが期待出来る。しかも動作マージンを一定とするならば論理振幅を小さく設計することが可能となり、結果的に高速論理動作が可能となる。しかも、カップリング容量低減のために無駄なスペースをそれほど必要とせず、チップサイズを考えた場合、本発明が有効である。

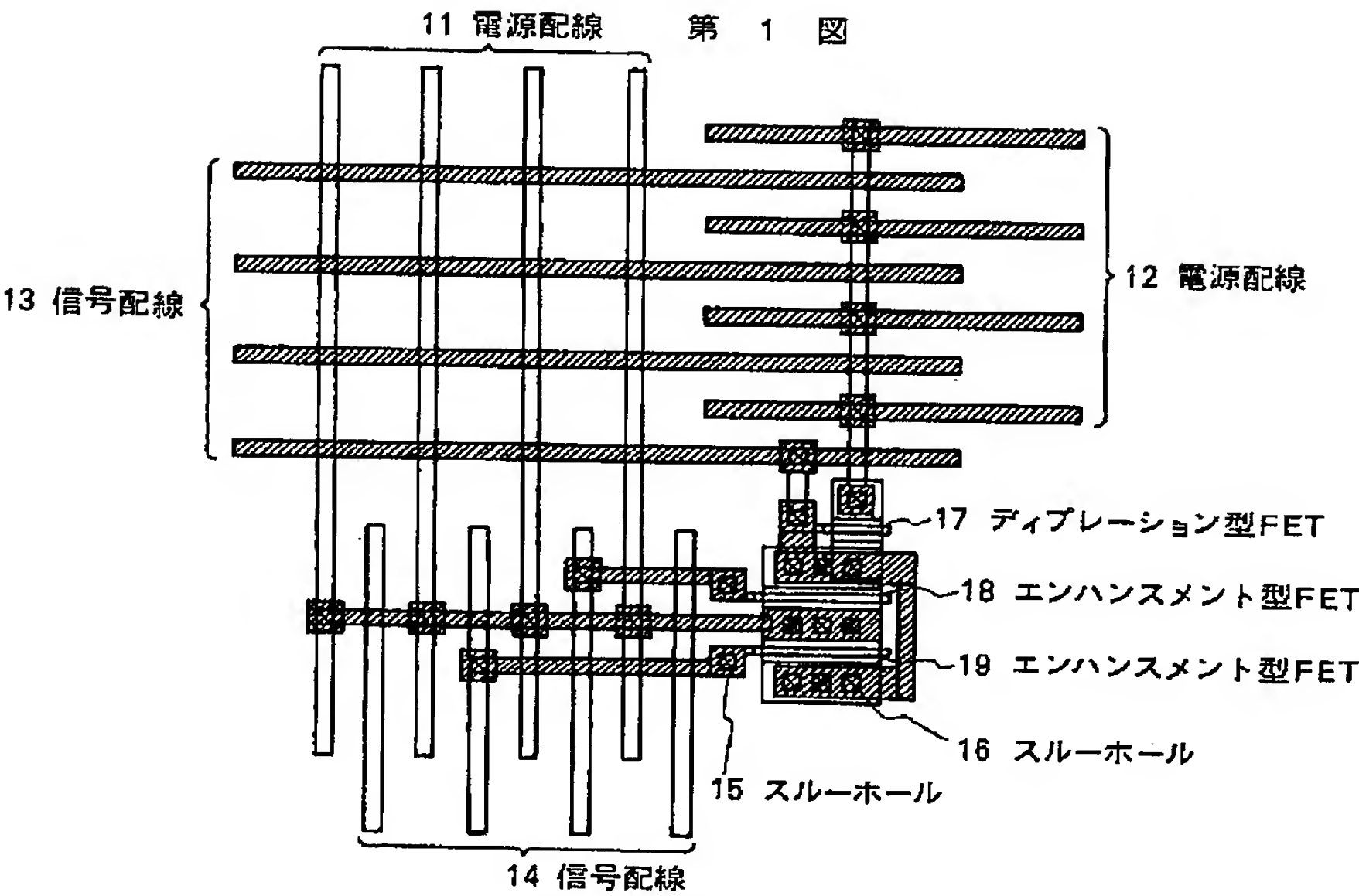
図面の簡単な説明

第1図および第6図は本発明の実施例を説明する図。第2図および第7図は隣接平行配線間のカップリング容量の計算結果を示す図。第3図は隣接平行配線間のカップリング容量の配線間隔依存性の計算結果を示す図。第4図は従来例を示す図である。第5図は従来例の基本セルを説明する図である。

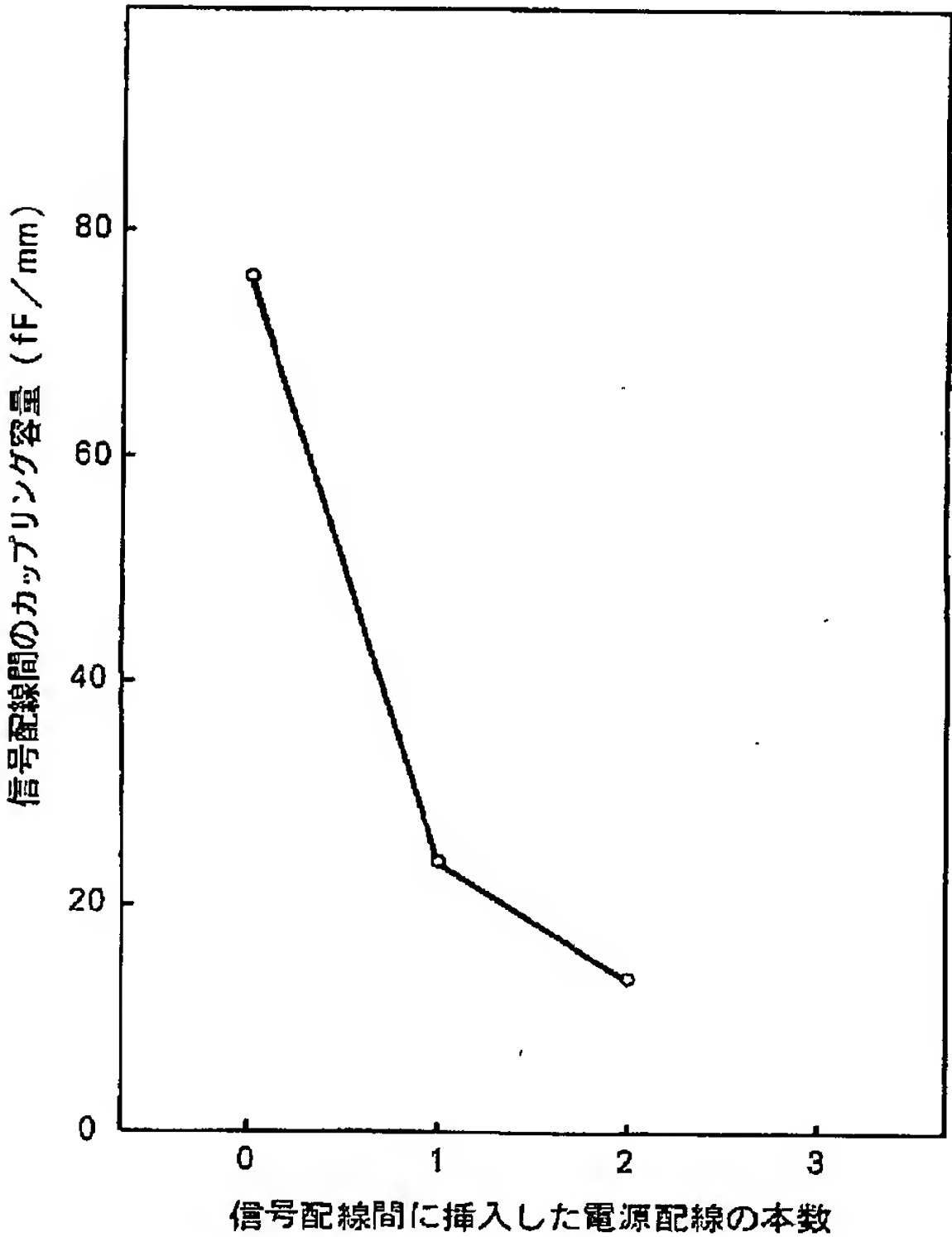
- 1...基本セル、2...入出力バッファ、
- 3...配線チャネル、4...ボンディングパッド、
- 5...機能ブロック、11, 12, 61, 62...電源配線、
- 13, 14, 63, 64...信号配線、15, 16...スルーホール、
- 17...ディプレッション型FET、

(12)

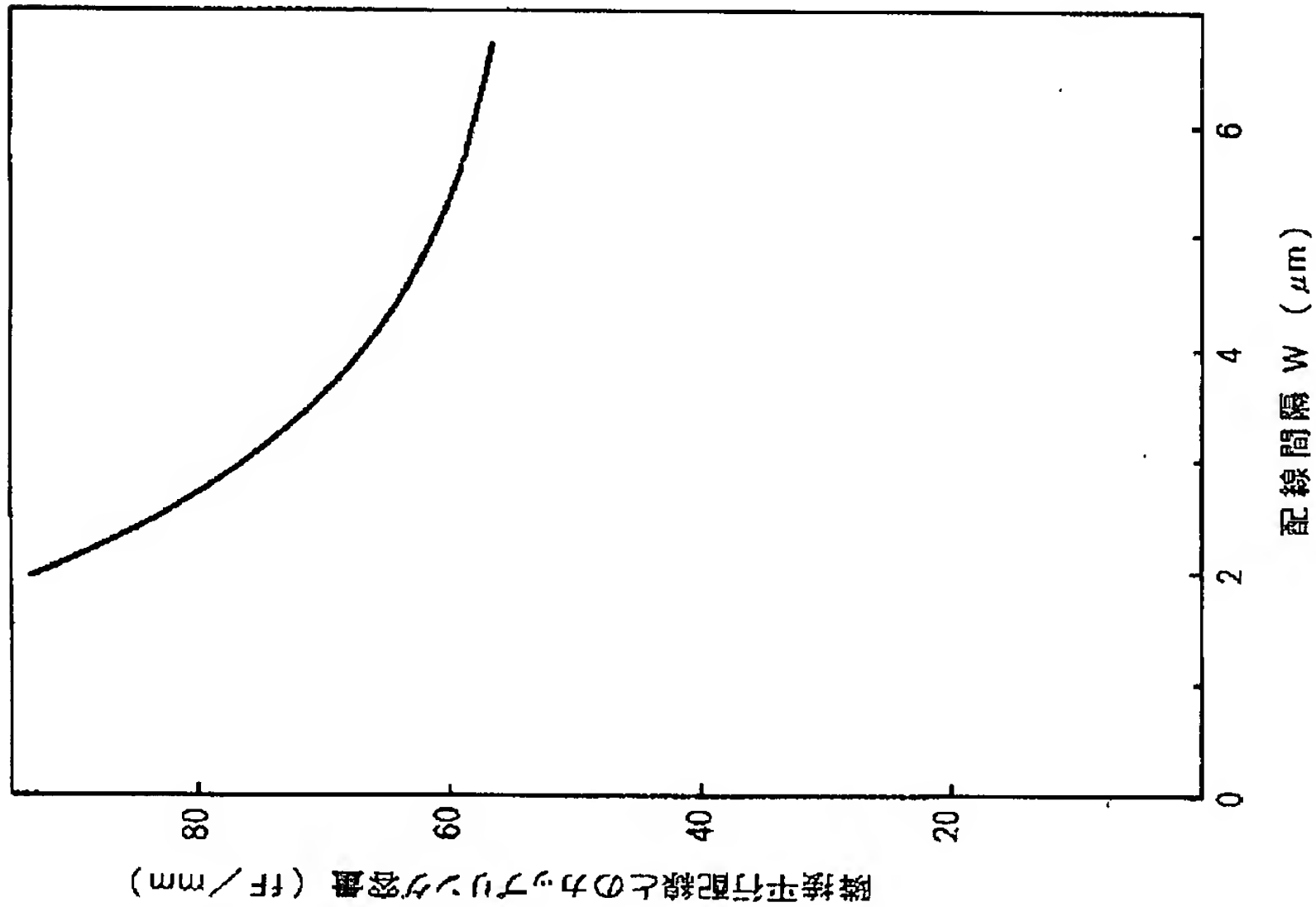
(13)



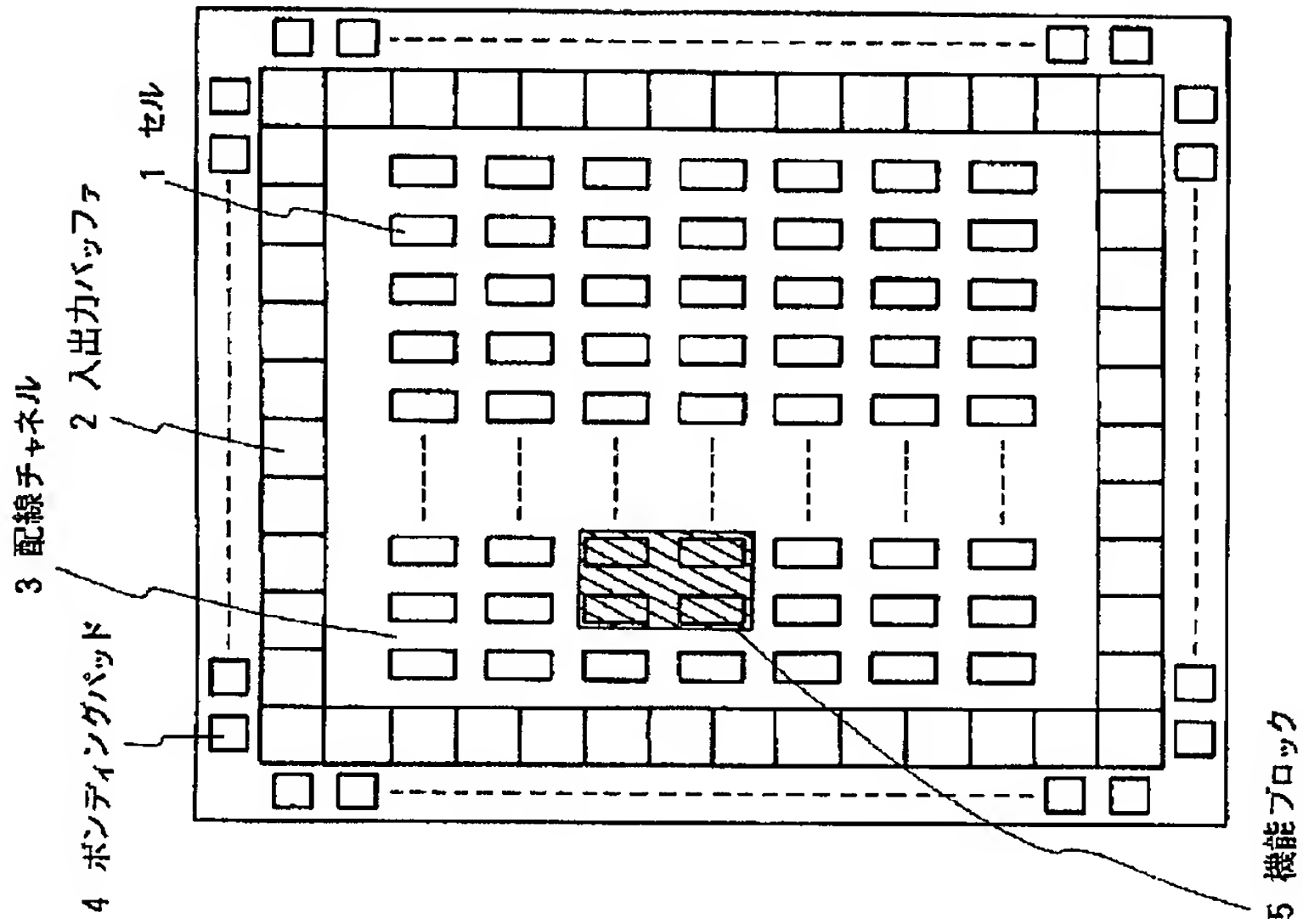
第 2 図



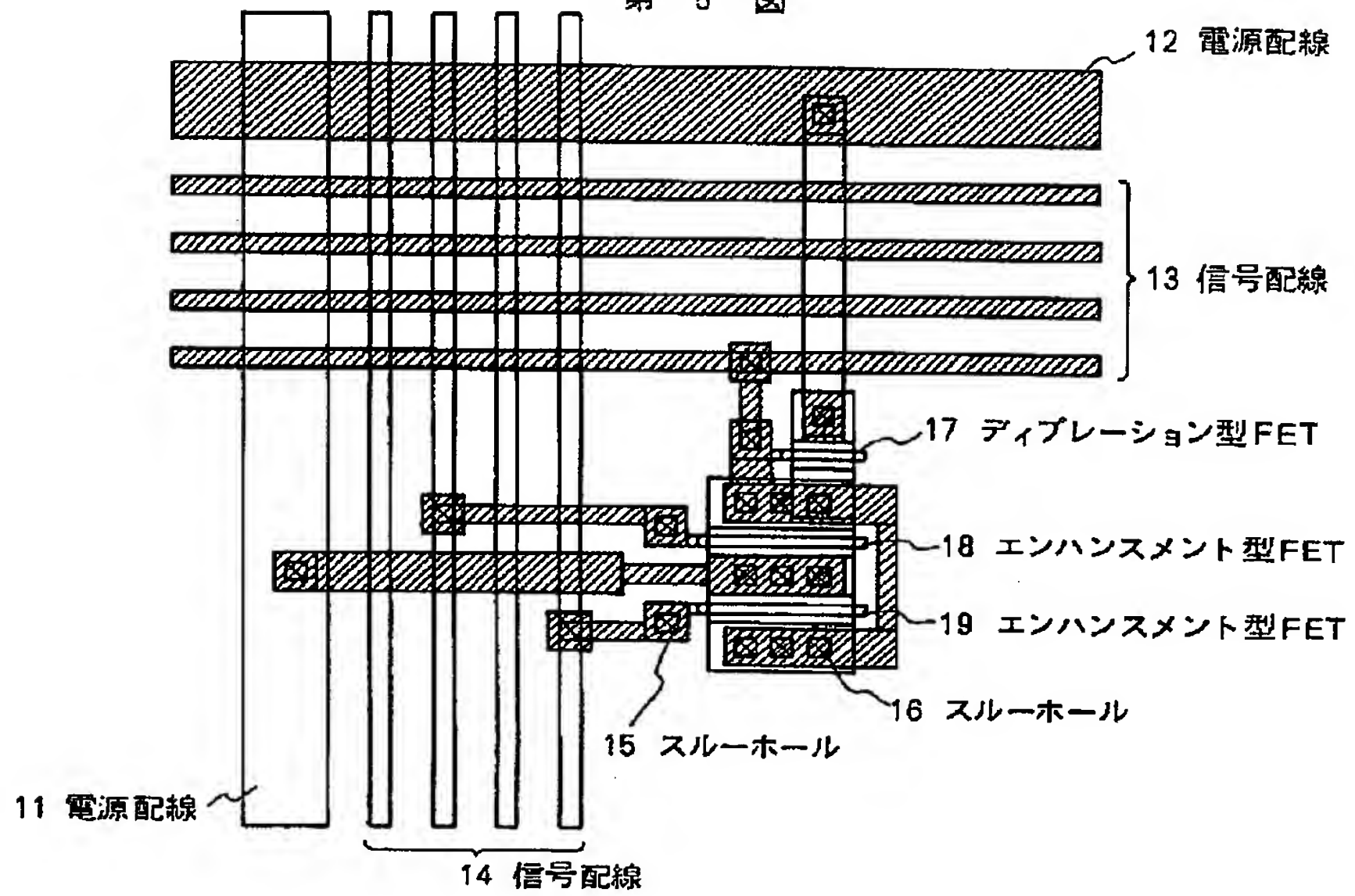
第 3 図



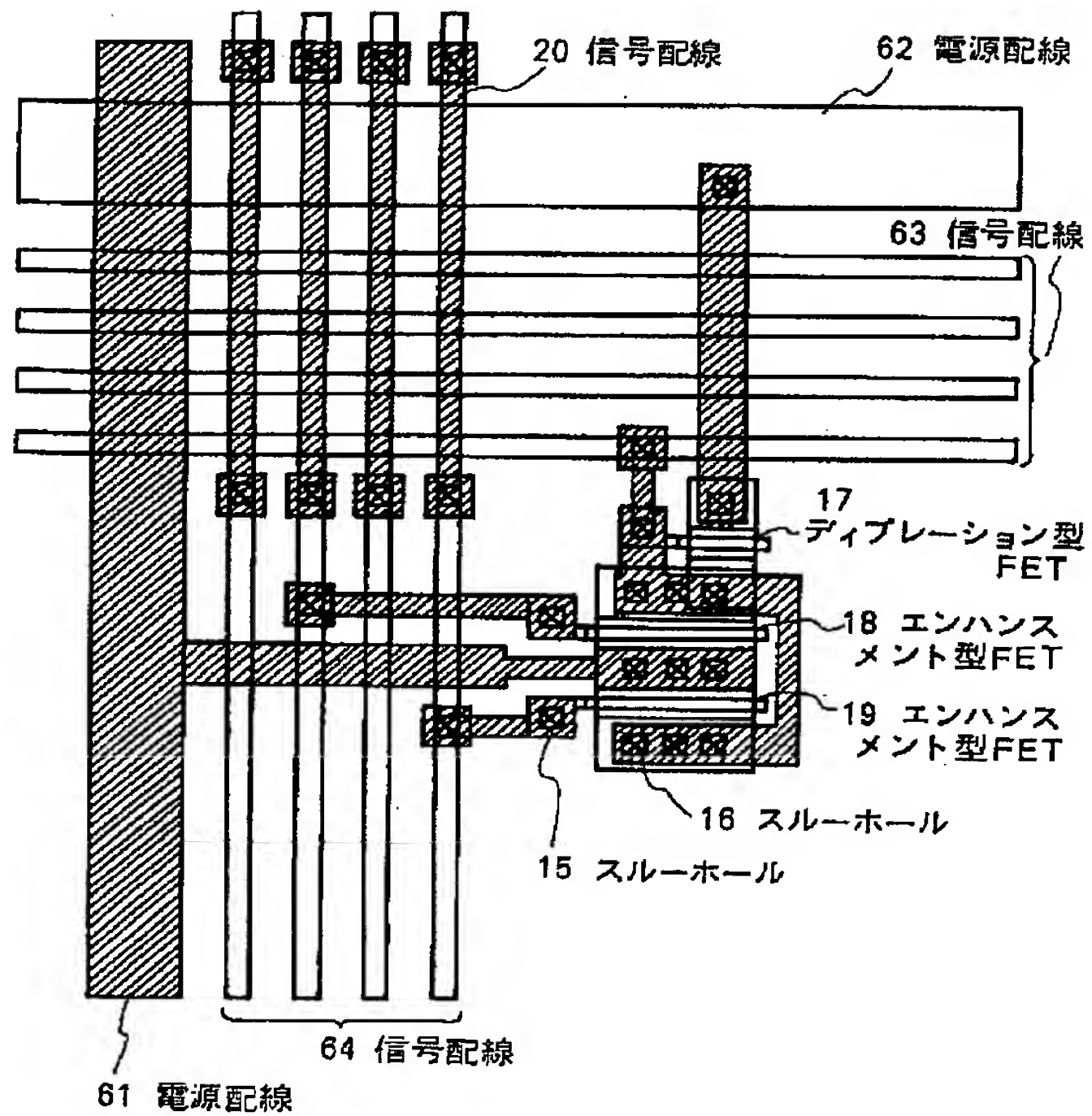
第 4 図



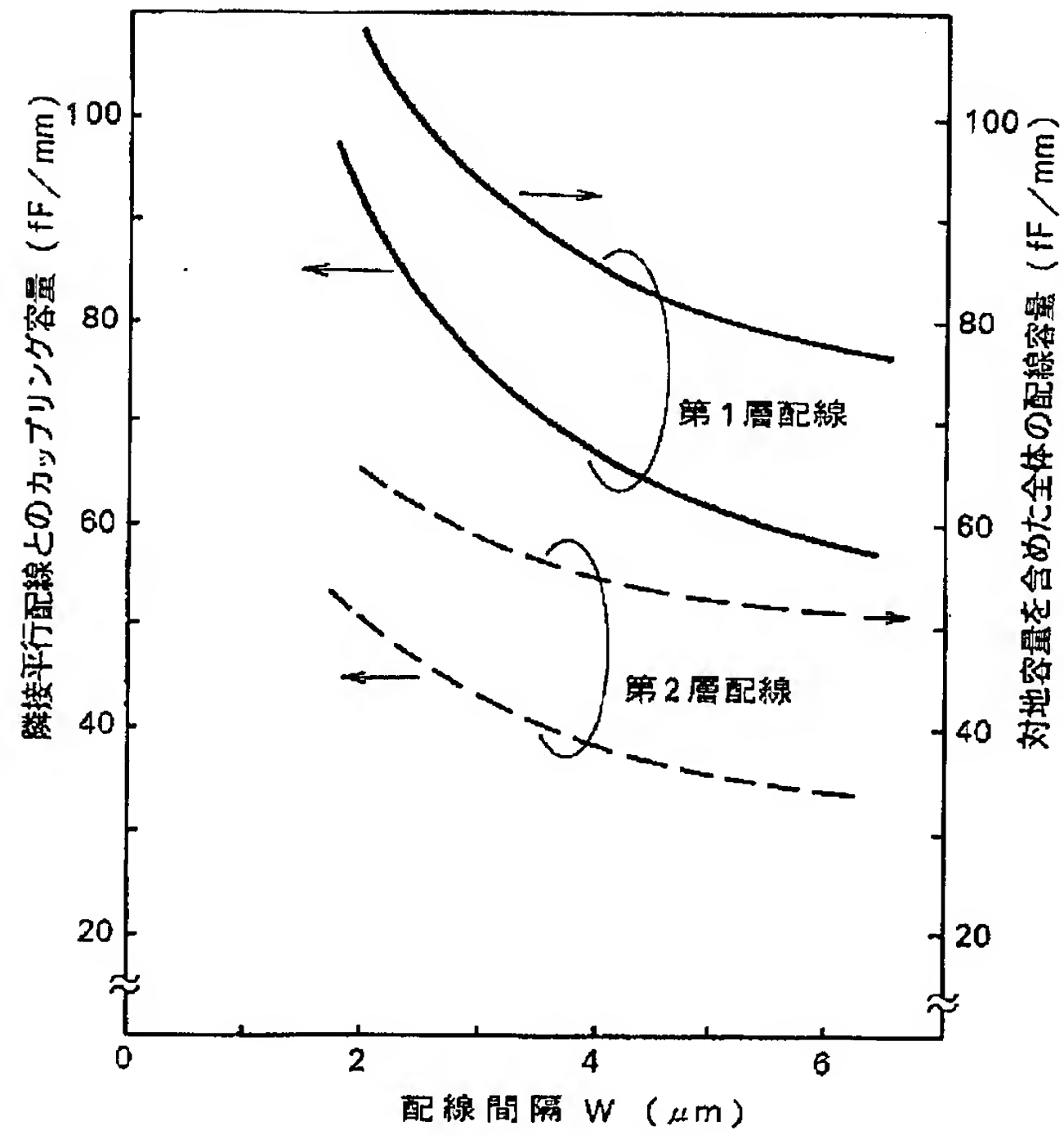
第 5 図



第 6 図



第 7 図



Partial Translation of Reference 3

JP-A-3-120743

It is an object of the invention to provide a high-speed integrated circuit, which may reduce coupling noise even in a GaAs gate array having thousands to tens of thousands of gates.

[Means for Solving the Problems]

A semiconductor device in accordance with the invention is characterized in that in a gate array type semiconductor device including a wiring channel region, feeding is performed by a plurality of wirings and the respective power supply wirings are disposed between signal wirings.

Further, the invention is characterized in that in a gate array type semiconductor device including a wiring channel region, the wiring channel region is disposed in the uppermost layer.

[Operation]

The plurality of power supply wirings are disposed between the signal wirings, whereby most of electric lines of force of the signal wirings head for the power supply wirings disposed adjacent to each other, so that the electric lines of force are shielded to decrease the coupling capacity between the signal wirings. On the other hand, the total capacity of the signal wirings hardly changes as far as the split power supply wirings are laid out under the same wiring rule as the signal wirings. Therefore, the coupling noise can be decreased without deteriorating wiring delay.

Further, the wiring channel region is disposed in the uppermost layer, and an insulating film deposition for protecting the uppermost layer wiring is not performed, so that the air having a dielectric constant of 1 exists between the signal wirings. Therefore, as compared with the case where a normally used SiO₂ (a dielectric constant of 3.9) is used as the insulating film, the coupling capacity between the signal wirings is reduced to about 1/2. Further, the total capacity including wiring earth capacity is also decreased by the effect of SiO₂ deposited on

a semi-insulating substrate (a dielectric constant of 13.1). Thus, the wiring driving capability can be improved and further the coupling noise can be decreased.

[Embodiment]

Fig. 1 shows an embodiment of a cell of a gate array type semiconductor device according to claim 1. As multi-layer wiring technology, two-layer wiring is taken for example. A gate electrode and a source electrode of a depletion type FET 17 are short-circuited and connected to drain electrodes of enhancement type FETs 18, 19, and a drain electrode of the depletion type FET 17 and source electrodes of the enhancement type FETs 18, 19 are respectively connected to a power supply to thereby construct a two-input NOR circuit. Power supply wirings 11, 12 are split and laid out between signal wirings 13, 14, alternately. The width of a power supply line is designed to meet the following conditions.

SEMICONDUCTOR DEVICE

Ref. 3

Publication number: JP3120743 (A)

Publication date: 1991-05-22

Inventor(s): MAETA TADASHI +

Applicant(s): NEC CORP +

Classification:

- international: **H01L21/82; H01L21/822; H01L27/04; H01L21/70; H01L27/04; (IPC1-7): H01L21/82; H01L27/04**

- European:

Application number: JP19890259132 19891003

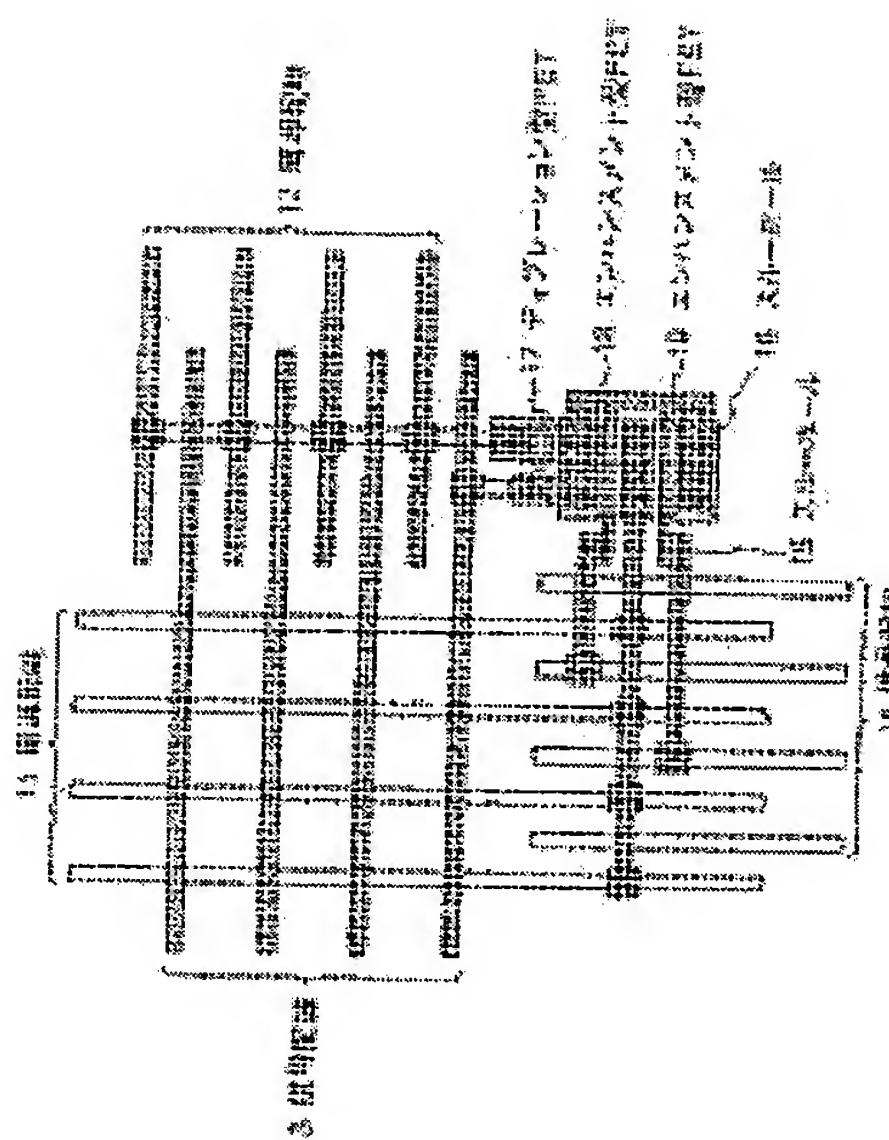
Priority number(s): JP19890259132 19891003

Abstract of Reference 3

Abstract of JP 3120743 (A)

PURPOSE: To obtain a high speed integrated circuit with low coupling noise by carrying out the feeding with a plurality of wirings, arranging each power supply wiring between signal wirings and disposing a wiring channel region in the uppermost layer.

CONSTITUTION: A gate electrode and a source electrode of a depletion type FET 17 are short-circuited and connected to drain electrodes of an enhancement type FET 18, 19, and a drain electrode of the depletion type FET 17 and source electrodes of the enhancement type FET 18, 19 are connected to a power supply respectively to construct a two input NOR circuit. Power supply wirings 11, 12 are split and laid out between signal wirings 13, 14 alternately. The coupling capacity between the signal wirings can be reduced by using the power supply wirings as the shields for electric lines of force, and moreover, the capacity of whole signal wirings is nearly same as in the case where the signal lines arranged closely so that the operation margin can be improved without sacrificing high speed.



Data supplied from the **espacenet** database — Worldwide